

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-168570

(43)Date of publication of application : 13.06.2003

(51)Int.Cl.

H05B 33/26
G09F 9/30
G09G 3/20
G09G 3/30
H01L 21/20
H01L 21/336
H01L 29/786
H05B 33/14

BEST AVAILABLE COPY

(21)Application number : 2001-363915

(22)Date of filing : 29.11.2001

(71)Applicant : HITACHI LTD

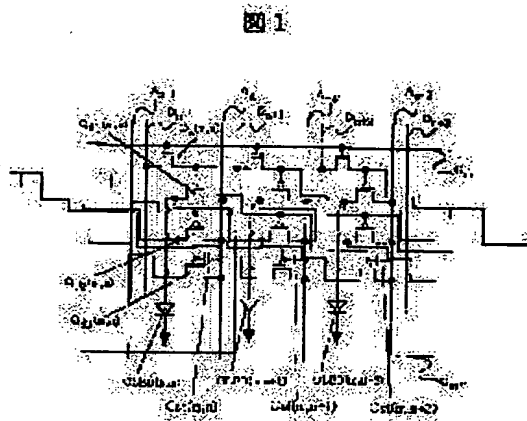
(72)Inventor : KAWACHI GENSHIRO
SATO TOSHIHIRO
NISHITANI SHIGEYUKI
TOKUDA HISANORI

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a self-light emitting display device capable of reducing the scatter of display between a plurality of pixels caused by the scatter of the characteristics of a driving thin film transistor and obtaining a uniform display without scatter.

SOLUTION: The display device comprises a plurality of pixels having a current drive type light emitting elements, and n ($n \geq 2$) pieces of thin film transistors connected in parallel with each other, supplying driving current to respective current drive type light emitting elements. The n pieces of thin film transistors connected in parallel with each other are arranged to respective pixels, for example, to the pixels adjacent to each other. A dummy pixel area is formed at least at one side of the outside of the row of the pixels at both side of the direction into which, n pieces of thin film transistors are arranged.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-168570
(P2003-168570A)

(43) 公開日 平成15年6月13日 (2003.6.13)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 5 B 33/26		H 0 5 B 33/26	Z 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 M 5 F 0 5 2
	6 2 4		6 2 4 B 5 F 1 1 0

審査請求 未請求 請求項の数35 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2001-363915(P2001-363915)

(22) 出願日 平成13年11月29日 (2001. 11. 29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 河内 玄士朗

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(72) 発明者 佐藤 敏浩

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

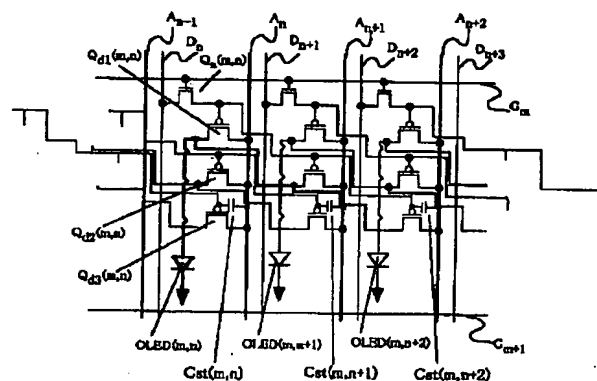
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 駆動薄膜トランジスタの特性のバラツキに起因する、複数の画素間での表示ばらつきを低減し、ムラのない均一な表示を得ることが可能な自発光型表示装置を提供する。

【解決手段】 電流駆動型発光素子を有する複数の画素と、前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n ($n \geq 2$) 個の薄膜トランジスタとを備え、前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる画素内、例えば、互いに隣接する画素内に配置される。前記互いに隣接する前記並列に接続された n 個の薄膜トランジスタの配置方向の両側の画素列の外側の少なくとも一方に、ダミーの画素領域を備える。

図 1



【特許請求の範囲】

【請求項 1】 電流駆動型発光素子を有する複数の画素と、
前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n ($n \geq 2$) 個の薄膜トランジスタとを備え、
前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる画素内に配置されることを特徴とする表示装置。

【請求項 2】 前記並列に接続された n 個の薄膜トランジスタは、互いに隣接する画素内に配置されることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記互いに隣接する前記並列に接続された n 個の薄膜トランジスタの配置方向の両側の画素列の外側の少なくとも一方に、ダミーの画素領域を備えることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】 前記 n は、3 以上 12 以下の数であることを特徴とする請求項 2 に記載の表示装置。

【請求項 5】 電流駆動型発光素子を有する複数の画素と、
前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n ($n \geq 2$) 個の薄膜トランジスタとを備え、
前記並列に接続された n 個の薄膜トランジスタは、前記薄膜トランジスタを作成する際に使用されるレーザビームのスキャン方向のそれぞれ異なる画素内に配置されることを特徴とする表示装置。

【請求項 6】 前記並列に接続された n 個の薄膜トランジスタのチャンネル層は、非晶質シリコン膜にレーザビームを照射して作成される多結晶シリコン膜で構成されることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】 前記並列に接続された n 個の薄膜トランジスタは、互いに隣接する画素内に配置されることを特徴とする請求項 5 に記載の表示装置。

【請求項 8】 前記互いに隣接する前記並列に接続された n 個の薄膜トランジスタの配置方向の両側の画素列の外側の少なくとも一方に、ダミーの画素領域を備えることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】 前記 n は、3 以上 12 以下の数であることを特徴とする請求項 7 に記載の表示装置。

【請求項 10】 電流駆動型発光素子を有する複数の画素と、
 m ($m \geq 2$) 個の電流供給配線電極と、
前記 m 個の電流供給配線電極の中の一つの電流供給配線電極に接続され、前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n ($n \geq 2$) 個の薄膜トランジスタとを備え、
前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる電流供給配線電極に接続され、
前記各電流駆動型発光素子に前記駆動電流を供給する配線層は、前記各薄膜トランジスタのチャンネル層と一体に作成され、かつ、前記各薄膜トランジスタのチャンネル層と電気的に接続される半導体層で構成されることを特徴とする表示装置。

【請求項 11】 前記複数の画素はマトリクス状に配置され、
前記 m 個の電流供給配線電極は、各画素列毎に設けられることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】 電流駆動型発光素子を有する複数の画素と、
 m ($m \geq 2$) 個の電流供給配線電極と、
前記 m 個の電流供給配線電極の中の一つの電流供給配線電極に接続され、前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n ($n \geq 2$) 個の薄膜トランジスタとを備え、
前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる電流供給配線電極に接続され、
前記各電流駆動型発光素子に前記駆動電流を供給する配線層は、前記各薄膜トランジスタのチャンネル層と一体に作成され、かつ、前記各薄膜トランジスタのチャンネル層と電気的に接続される半導体層で構成されることを特徴とする表示装置。

【請求項 13】 前記複数の画素はマトリクス状に配置され、
前記 m 個の電流供給配線電極は、各画素列毎に設けられることを特徴とする請求項 12 に記載の表示装置。

【請求項 14】 電流駆動型発光素子を有する複数の画素と、
前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n ($n \geq 2$) 個の薄膜トランジスタと、
前記並列に接続された n 個の薄膜トランジスタの各ゲート電極に接続され、各電流駆動型発光素子に供給する駆動電流を制御する映像信号電圧を 1 フレームの間保持する保持容量素子とを備え、
前記保持容量素子は、前記並列に接続された n 個の薄膜トランジスタにより駆動電流が供給される電流駆動型発光素子が配置される画素とは、異なる画素内に配置されることを特徴とする表示装置。

【請求項 15】 前記保持容量素子は、前記並列に接続された n 個の薄膜トランジスタにより駆動電流が供給される電流駆動型発光素子が配置される画素とは異なる画素内の、発光領域外の領域に設けられていることを特徴とする請求項 14 に記載の表示装置。

【請求項 16】 m ($m \geq 2$) 個の電流供給配線電極を備え、
前記保持容量素子は、前記 m 個の電流供給配線電極の下側に配置されることを特徴とする請求項 14 に記載の表示装置。

【請求項 17】 前記保持容量素子を構成する一方の電極は、前記並列に接続された n 個の薄膜トランジスタのチャンネル層と一体に作成され、かつ、前記 m 個の電流供給配線電極のいずれかに電気的に接続される半導体層で構成されることを特徴とする請求項 16 に記載の表示装置。

【請求項 18】 前記保持容量素子を構成する他方の電極は、前記並列に接続された n 個の薄膜トランジスタのゲート電極と一体に作成され、かつ、前記並列に接続された n 個の薄膜トランジスタのゲート電極と電気的に接続され、前記半導体層と絶縁膜を介して対向する配線層で構成されることを特徴とする請求項 17 に記載の表示装置。

【請求項 19】 前記複数の画素はマトリクス状に配置され、
前記 m 個の電流供給配線電極は、各画素列毎に設けられることを特徴とする請求項 16 に記載の表示装置。

【請求項 20】 各画素内に、電流駆動型発光素子と、前記電流駆動型発光素子に駆動電流を供給する n ($n \geq 2$) 個の薄膜トランジスタとを有する複数の画素を備え、
前記電流駆動型発光素子の下側に配置され、前記 n 個の薄膜トランジスタの少なくとも一部を覆う反射層とを有することを特徴とする表示装置。

【請求項 21】 前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n 個の薄膜トランジスタを有し、
前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる画素内に配置されることを特徴とする請求項 20 に記載の表示装置。

【請求項 22】 前記並列に接続された n 個の薄膜トランジスタは、前記薄膜トランジスタを作成する際に使用されるレーザビームのスキャン方向のそれぞれ異なる画素内に配置されることを特徴とする請求項 20 に記載の表示装置。

【請求項 23】 前記並列に接続された n 個の薄膜トランジスタのチャネル層は、非晶質シリコン膜にレーザビームを照射して作成される多結晶シリコン膜で構成されることを特徴とする請求項 22 に記載の表示装置。

【請求項 24】 前記並列に接続された n 個の薄膜トランジスタは、互いに隣接する画素内に配置されることを特徴とする請求項 21 に記載の表示装置。

【請求項 25】 前記互いに隣接する前記並列に接続された n 個の薄膜トランジスタの配置方向の両側の画素列の外側の少なくとも一方に、ダミーの画素領域を備えることを特徴とする請求項 24 に記載の表示装置。

【請求項 26】 前記 n は、3 以上 12 以下の数であることを特徴とする請求項 24 に記載の表示装置。

【請求項 27】 電流駆動型発光素子と、前記電流駆動型発光素子に駆動電流を供給する n ($n \geq 2$) 個の薄膜トランジスタとを有する複数の画素と、
前記電流駆動型発光素子の下側に配置され、前記 n 個の薄膜トランジスタの少なくとも一部を覆う反射層と、
 m ($m \geq 2$) 個の電流供給配線電極とを備え、
前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n 個の薄膜トランジスタを有し、

前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる電流供給配線電極に接続されることを特徴とする表示装置。

【請求項 28】 前記複数の画素はマトリクス状に配置され、
前記 m 個の電流供給配線電極は、各画素列毎に設けられることを特徴とする請求項 27 に記載の表示装置。

【請求項 29】 電流駆動型発光素子と、前記電流駆動型発光素子に駆動電流を供給する n ($n \geq 2$) 個の薄膜トランジスタとを有する複数の画素と、
前記電流駆動型発光素子の下側に配置され、前記 n 個の薄膜トランジスタの少なくとも一部を覆う反射層と、
 m ($m \geq 2$) 個の電流供給配線電極とを備え、
前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n 個の薄膜トランジスタを有し、
前記並列に接続された n 個の薄膜トランジスタは、それぞれ異なる電流供給配線電極に接続され、
前記各電流駆動型発光素子に前記駆動電流を供給する配線層は、前記各薄膜トランジスタのチャネル層と一体に作成され、かつ、前記各薄膜トランジスタのチャネル層と電気的に接続される半導体層で構成されることを特徴とする表示装置。

【請求項 30】 前記複数の画素はマトリクス状に配置され、
前記 m 個の電流供給配線電極は、各画素列毎に設けられることを特徴とする請求項 29 に記載の表示装置。

【請求項 31】 電流駆動型発光素子と、前記電流駆動型発光素子に駆動電流を供給する薄膜トランジスタと、
前記薄膜トランジスタのゲート電極に接続され、電流駆動型発光素子に供給する駆動電流を制御する映像信号電圧を 1 フレームの間保持する保持容量素子と、
前記電流駆動型発光素子の下側に配置され、前記薄膜トランジスタと前記保持容量素子とを覆う反射層とを有することを特徴とする表示装置。

【請求項 32】 各画素内に、電流駆動型発光素子と、前記電流駆動型発光素子に駆動電流を供給する n ($n \geq 2$) 個の薄膜トランジスタとを有する複数の画素と、
前記電流駆動型発光素子の下側に配置され、前記 n 個の薄膜トランジスタの少なくとも一部を覆う反射層とを備え、

前記各電流駆動型発光素子に駆動電流を供給する並列に接続された n 個の薄膜トランジスタを有し、
前記並列に接続された n 個の薄膜トランジスタの各ゲート電極に接続され、各電流駆動型発光素子に供給する駆動電流を制御する映像信号電圧を 1 フレームの間保持する保持容量素子を備え、
前記保持容量素子は、前記並列に接続された n 個の薄膜トランジスタにより駆動電流が供給される電流駆動型発光素子が配置される画素とは、異なる画素内の前記反射層の下側に配置されることを特徴とする表示装置。

【請求項 3 3】 m ($m \geq 2$) 個の電流供給配線電極を備え、

前記保持容量素子を構成する一方の電極は、前記並列に接続された n 個の薄膜トランジスタのチャンネル層と一体に作成され、かつ、前記 m 個の電流供給配線電極のいずれかに電氣的に接続される半導体層で構成されることを特徴とする請求項 3 2 に記載の表示装置。

【請求項 3 4】 前記保持容量素子を構成する他方の電極は、前記並列に接続された n 個の薄膜トランジスタのゲート電極と一体に作成され、かつ、前記並列に接続された n 個の薄膜トランジスタのゲート電極と電氣的に接続され、前記半導体層と絶縁膜を介して対向する配線層で構成されることを特徴とする請求項 3 3 に記載の表示装置。

【請求項 3 5】 基板と、
前記基板上に設けられる複数の電流駆動型発光素子と、
前記基板の一边の縁部に設けられる外部接続端子部と、
前記外部接続端子部と、前記複数の電流駆動型発光素子が設けられる領域との間に設けられるコンタクト領域において、前記複数の電流駆動型発光素子のカソード電極と電氣的に接続され、前記外部接続端子部の任意の端子に電氣的に接続される引き出し配線とを備えることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置に係り、特に、アクティブマトリクス方式の有機エレクトロルミネッセンスディスプレイの構造に関する。

【0002】

【従来の技術】アクティブマトリクス駆動の有機エレクトロルミネッセンスディスプレイ（以下、AMOLED と記す）は従来の液晶ディスプレイの次の世代のフラットパネルディスプレイとして期待されている。従来、AMOLED の画素駆動回路としては、特開 2000-163014 号公報（第 1 の従来技術）に開示されているような、有機エレクトロルミネッセンス素子（以下、単に、EL 素子という。）に電流を供給するための駆動用の薄膜トランジスタ（以下、EL 駆動 TFT という）

と、EL 駆動 TFT のゲート電極に接続され、映像信号電圧を保持する保持コンデンサと、前記保持コンデンサに映像信号電圧を供給するためのスイッチ用の薄膜トランジスタ（以下、スイッチ TFT という）とからなる 2 トランジスタ構成の回路がもっとも基本的な画素回路として知られている。この 2 トランジスタ構成の基本画素回路の大きな問題として、EL 駆動 TFT を構成する半導体薄膜（通常は、多結晶シリコン膜が使用される）の結晶性の場所毎のばらつきにより、EL 駆動 TFT のしきい値電圧 (V_{th}) や移動度 (μ) が画素毎にばらつくために生じる画像の不均一性がある。しきい値電圧や移動度のばらつきは、そのまま、EL 素子の駆動電流値

のばらつきとなるため、発光強度がばらつき、表示上では微細なムラとなってしまうことになる。このような表示ムラは駆動電流値が小さい中間調表示時に特に問題となる。

【0003】このような EL 駆動 TFT の特性のばらつきによる表示不均一を抑制するために、いくつかの手法が考えられている。例えば、特開平 11-219133 号公報には、EL 駆動 TFT のチャンネル長およびチャンネル幅を、EL 駆動 TFT を構成する多結晶シリコンの平均的な結晶粒径より十分大きくすることにより、駆動電流値のばらつきを抑制する方法が開示されている。（以下、第 2 の従来技術という）

また、特開 2000-330502 号公報には、EL 駆動 TFT を、完全にオフか、または完全にオン状態とする 2 値スイッチとして駆動し、画像の階調表示は発光の時間幅を変えることにより表示する、所謂パルス幅変調による駆動法が開示されている。（以下、第 3 の従来技術という）

また、特開平 11-73158 号公報には、単位画素内に複数の発光面積の異なる複数の EL 素子を設け、これら複数の EL 素子の各々に EL 駆動 TFT を接続し、EL 駆動 TFT を、完全にオフかまたは完全にオン状態とする 2 値スイッチとして駆動して、階調表示を発光面積を変化させることで表示する面積階調方式が開示されている。（以下、第 4 の従来技術という）

【0004】また、USP 6229506 B1 には、画素内に 4 個の TFT を設け、EL 駆動 TFT のしきい値電圧のばらつきをキャンセルするような回路を構成して、駆動電流のばらつきを低減する方法が開示されている。（以下、第 5 の従来技術という）

また、特開平 8-129359 号公報には、各々の画素内で 1 個の EL 素子に対し、複数の階調電流に対応した異なる電流駆動能力を持つ複数の EL 駆動 TFT を並列に接続し、EL 駆動 TFT を、完全にオフかまたは完全にオン状態とする 2 値スイッチとして駆動して、階調表示を複数の EL 駆動 TFT から供給される階調電流により制御する方法が開示されている。（以下、第 6 の従来技術という）

また、特開 2000-221903 号公報には、画素内に 2 個の EL 駆動 TFT を並列に設け、EL 駆動 TFT のしきい値電圧のばらつきを小さくして、駆動電流のばらつきを低減する方法が開示されている。（以下、第 7 の従来技術という）

【0005】

【発明が解決しようとする課題】しかしながら、前述した従来技術には以下のような問題点がある。第 2 の従来技術は、場所による多結晶シリコンの結晶性のばらつきを、TFT サイズを大きくすることにより、平均化しようとするものである。しかしながら、TFT サイズを大きくしても画素のピッチより大きくすることは不可能で

ある。よって、各々の画素を構成するEL素子を駆動するEL駆動TFTの大きさは当該画素のエリア内に制限され、また、多結晶シリコン膜の結晶性は場所によってばらつくのであるから、ある着目した画素内のEL駆動TFTの特性と、これに隣接する画素内のEL駆動TFTの特性の間のばらつきは補償できない。TFTサイズを大きくすることにより平均化できるのはあくまで、TFTサイズ内の結晶のばらつきだけであることに注意する必要がある。したがって、前述の第2の従来技術では、十分均一な表示特性を得ることは困難である。

【0006】第3の従来技術による画像表示の均一化効果については、既に実証されており、パルス幅変調駆動はAMOLEDの駆動法として有力な方法の一つではある。しかしながら、この駆動方法の本質的問題として、階調表示を時間軸上で展開した発光パルスで行うため、擬似輪郭と呼ばれる動画を表示した際の画像のにじみが知られている。また、デジタル階調に対応した短い信号パルスを処理する必要があることから、駆動回路の動作周波数が高くなり、回路の消費電力が大きくなるのも問題である。また、通常は簡単な回路ですむ垂直側走査回路が複雑になり回路面積が増大することも問題である。第4の従来技術は、画像表示の均一化については効果が大きい、単位画素内にデジタル階調に対応した面積を持つEL素子を形成し、かつ、その各々に対応するEL駆動TFTを形成する必要があることから、多階調化が困難である。また通常、EL素子は、動作時間と共に発光面積が縮小することが知られているが、発光面積が異なるEL素子を用いると、時間とともに、階調の下位ビットに対応する面積の小さなEL素子から順に劣化していくため、時間とともに正常な階調が困難になるという問題もある。

【0007】第5の従来技術は、EL駆動TFTのしきい値電圧のキャンセルする回路を設けるために、従来の2トランジスタ構成では不必要な配線が必要となり、開口率低下、製造歩留まり低下が問題となる。また、キャンセルできるのは、しきい値電圧のばらつきだけであり、移動度のばらつきはそのまま残る。このため、十分な駆動電流の均一化効果が得られないという問題がある。第6の従来技術は、デジタル階調に対応させた電流駆動能力を持つEL駆動TFTを複数並列に接続するが、これら複数のEL駆動TFTの特性がばらつくと、正常な階調表示が困難となることはあきらかである。また、この方法でも前記複数のEL駆動TFTは1個の画素内に形成するのであるから、複数の画素間の表示ばらつき低減に対しては全く効果がない。第7の従来技術は、並列接続される2つのEL駆動TFTのうち、片方のEL駆動TFTの特性が変動した場合は、駆動電流のばらつきを低減できるが、2つのEL駆動TFTの特性がともに変動した場合には、駆動電流のばらつきを低減することはできず、しかも、この2つのEL駆動TFT

は1個の画素内に形成するのであるから、複数の画素間の表示ばらつき低減に対しては全く効果がない。

【0008】本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、表示装置において、駆動薄膜トランジスタの特性のバラツキに起因する、複数の画素間での表示ばらつきを低減し、ムラのない均一な表示を得ることが可能となる技術を提供することにある。また、本発明の他の目的は、表示装置において、カソード電極の引き出し配線の抵抗による電圧降下と消費電力を低減することが可能となる技術を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。即ち、本発明は、各々の画素領域内に配置された電流駆動型発光素子に対し、複数のEL駆動TFTを並列に接続し、複数の電流供給線から前記電流駆動発光素子に電流を供給するとともに、前記複数のEL駆動TFTを複数の画素領域内に、ほぼ画素のピッチに対応する間隔で配置したことを特徴とする。複数のEL駆動TFTを並列に接続することにより、これら複数のEL駆動TFT間のしきい値電圧や移動度のばらつきに起因する駆動電流のばらつきを平均化することができる。しかしながら、単に、EL駆動TFTを複数として並列にするだけでは、ある画素に対応するEL駆動TFTと、例えば、これに隣接する画素の駆動電流のばらつきが平均化される保証はない。表示の不均一は、複数の画素のEL駆動TFTの駆動電流のばらつきによるが、これはTFTを構成する半導体膜の結晶性や絶縁膜の膜質の空間的なばらつきに起因する。

【0010】EL駆動TFTは、画素の配列ピッチと同じ間隔で規則的に配置されているから、駆動電流のばらつきは、画素の配列ピッチのスケールでの半導体膜の結晶性や絶縁膜の膜質の空間的なばらつきに起因するものと考えてよい。このようなばらつきを平均化するためには、前記複数のEL駆動TFTを画素の配列ピッチで空間的に分散させて配置することが有効である。よって、各々の画素領域内に配置された電流駆動型発光素子に対し、複数のEL駆動TFTを並列に接続し、複数の電流供給線から前記電流駆動発光素子に電流を供給する構成とし、かつ、前記複数のEL駆動TFTを複数の画素領域内に、ほぼ画素のピッチに対応する間隔で配置することで、各々の画素に対応する電流駆動型発光素子に供給する駆動電流のばらつきを低減でき、表示を均一化することが可能となる。前記空間的に分布させて配置した複数のEL駆動TFTによる平均化の効果は、並列接続するTFTの数が多いほど大きくなる。理論的には、駆動電流のばらつきの大きさは、並列数をNとすると、 \sqrt{N}

に反比例して N の増大とともに小さくなることが予測される。画素のサイズは限られていることから、現状の薄膜トランジスタ (TFT) の微細加工ルールでは、 $N=2\sim 12$ 程度が現実的な値である。

【0011】また、画素内の TFT 数が多くなると、発光に寄与する EL 素子の面積を確保することが困難になる。本発明では、EL 駆動 TFT の少なくとも一部を覆うように反射層を設け、この反射層上に電流駆動型発光素子を形成することにより、開口率を向上させる。また、各々の画素領域内に配置された電流駆動型発光素子のカソード電極の引き出し配線には、全画素の発光素子からの電流が流れるため、引き出し配線の低抵抗化は重要である。本発明では、複数の電流駆動型発光素子のカソード電極と電氣的に接続される引き出し配線の、外部接続端子部からコンタクトエリアまでの配線長さを短くして、この引き出し配線の抵抗による電圧降下と電力消費を最小化する。具体的な例は以下の実施の形態に示す。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【実施の形態 1】図 1 は、本発明の実施の形態 1 の表示装置の画素の等価回路を示す回路図であり、図 2 は、本発明の実施の形態 1 の表示装置の画素配置を示す平面図である。本発明に係る自発光型表示装置では、各画素の有機エレクトロルミネッセンス素子（以下、単に、EL 素子という。）は、異なる画素領域に設けた 3 つの駆動用の薄膜トランジスタ（以下、EL 駆動 TFT という）によって駆動される。本実施の形態 1 では、各々の EL 駆動 TFT を、当該画素と、その右隣と、さらにその右隣の画素内に配置したものである。図 1 では、TFT マトリックスの一部である走査信号配線電極 (G_m , $G(m+1)$) と、映像信号配線電極 ($D_n \sim D(n+3)$)、アノード電流供給配線電極 ($A(n-1) \sim A(n+2)$) で囲まれた 3 個の画素領域を示している。

【0013】 m 行 n 列目の画素は、走査信号配線電極 (G_m , $G(m+1)$) と、映像信号配線電極 D_n とアノード電流供給配線電極 A_n で囲まれた領域で定義される。各画素内部には、スイッチ用の薄膜トランジスタ（以下、スイッチ TFT という。） ($Q_s(m,n)$) と、3 個の EL 駆動 TFT ($Q_{d1}(m,n)$, $Q_{d2}(m,n)$, $Q_{d3}(m,n)$) と、電荷蓄積容量 $C_{st}(m,n)$ とが形成される。EL 駆動 TFT ($Q_{d1}(m,n)$) のドレイン電極には、EL 接続配線電極 15 を介して EL 素子 OLED (m,n) のアノード電極が接続されている。 m 行 n 列目の画素に属する EL 素子 OLED (m,n) は、当該画素内の EL 駆動 TFT ($Q_{d1}(m,n)$) だけでなく、隣接の m 行 ($n+1$) 列画素内に形成された EL 駆動 TFT ($Q_{d2}(m,n$

+1))、並びに、 m 行 ($n+2$) 列画素内に形成された EL 駆動 TFT ($Q_{d3}(m,n+2)$) が並列に接続され、3 本のアノード電流供給配線電極 (A_n , $A(n+1)$, $A(n+2)$) から電流が供給されるように接続されている。前記並列に接続された 3 個の EL 駆動 TFT のゲート配線電極 14 は、すべて、 m 行 n 列目の画素のスイッチ TFT ($Q_s(m,n)$) のドレイン電極に接続配線電極 12 を介して接続されている。また、前記 3 個の EL 駆動 TFT のゲート電極ノードと、アノード電流供給配線電極 ($A(n+2)$) の間に電荷蓄積容量 $C_{st}(m,n+2)$ が形成されており、前記ゲート配線電極 14 の電圧を一定期間保持できるようになっている。

【0014】本実施の形態では、走査信号配線電極 G が順次走査され、 H レベルとなった走査信号配線電極 G が接続されるスイッチ TFT (Q_s) がオンとなる。これにより、スイッチ TFT (Q_s) を介して、映像信号配線電極 D_n から映像信号電圧が電荷蓄積容量 C_{st} に供給され、電荷蓄積容量 C_{st} に保持される。この電荷蓄積容量 C_{st} に保持された映像信号電圧に基づき、各 EL 駆動 TFT (Q_{d1} , Q_{d2} , Q_{d3}) が、1 フレームの間、電荷蓄積容量 C_{st} に保持された映像信号電圧に対応する電流を EL 素子 OLED に供給する。これにより、EL 素子 OLED が発光し、画像が表示される。なお、本実施の形態では、各 EL 駆動 TFT (Q_{d1} , Q_{d2} , Q_{d3}) に供給される電流は、単一の EL 駆動 TFT により供給される電流とほぼ同じになるように、ゲート長、チャネル長さ、チャネル幅が設定されている。本実施の形態では、各 EL 駆動 TFT ($Q_{d1}(m,n)$, $Q_{d2}(m,n)$, $Q_{d3}(m,n)$) はダブルゲート構造とし、各々のゲート長を $10\mu m$ 、トータルチャネル長 $20\mu m$ 、チャネル幅を $4\mu m$ とした。

【0015】EL 駆動 TFT ($Q_{d2}(m,n+1)$)、および EL 駆動 TFT ($Q_{d3}(m,n+2)$) から、EL 素子 OLED (m,n) への電流供給は、各 EL 駆動 TFT のソース電極、ドレイン電極を構成する p 型半導体層をそのまま延長し配線として用いることにより行なわれる。このような構成とすることで、余分なコンタクトスルーホールの形成が不要となるので面積効率が改善され、結果として開口率が向上する。 m 行 n 列目の画素に再度着目すると、3 個の EL 駆動 TFT ($Q_{d1}(m,n)$, $Q_{d2}(m,n)$, $Q_{d3}(m,n)$) の内、EL 駆動 TFT ($Q_{d2}(m,n)$) は、 m 行 ($n-1$) 列目の画素の EL 素子 OLED ($m,n-1$) を駆動するために、また EL 駆動 TFT ($Q_{d3}(m,n)$) は、 m 行 ($n-2$) 列目の画素の EL 素子 OLED ($m,n-2$) を駆動するために設けられている。また、電荷蓄積容量 $C_{st}(m,n)$ は EL 駆動 TFT ($Q_{d3}(m,n)$) のゲート電極ノードの電位を保持するために設けられている。EL 素子は、前記 EL 接続配線電極 15 にコンタクトスルーホールを介して接続された ITO 電極 (EL 素子のアノード電極) 13 上に、有機

絶縁膜 23 に形成された開口部を介して形成される。

【0016】本実施の形態 1 の表示装置のマトリクス表示部の等価回路と駆動回路を含めた表示部全体を示す回路図を図 3 に示す。図 3 に示すように、マトリクス表示部は、G1~G600 からなる 600 本の走査信号配線電極と、D1R~D800R, D1G~D800G, D1B~D800B からなる 2400 本の映像信号配線電極、および A1R~A800R, A1G~A800G, A1B~A800B の 2400 本のアノード電流供給配線電極と、これらの交差する領域内に設けられた画素から構成される。前記マトリクス表示部は、垂直走査回路 VDRV と、映像信号回路 HDRV によって駆動され、各画素に配置されるアノード電流供給配線電極は、画素領域外で短絡（ショート）され、外部電源に接続されている。本実施の形態では、EL 駆動 TFT を、当該画素と、その右隣の画素と、さらにその右隣の画素内に配置したため、最右端の画素列の外側に 2 列のダミーの画素領域が設けられる。

【0017】そして、最右端の画素列の外側の 2 列のダミーの画素に対応する 2 つのアノード電流供給配線電極（A02, A03）も設けられる。このようにすることにより、最右端の画素に対しても、3 本のアノード電流供給配線電極から、3 個の EL 駆動 TFT を介して規定の電流を供給することが可能となる。ここで、図 3 に示すように、3 個の EL 駆動 TFT が配置される、3 個の画素は、EL 駆動 TFT を製造する際に使用されるレーザのレーザスキャン方向と、同一方向に配置される画素である。このように、EL 駆動 TFT を複数の画素領域に分散させて配置し、それらを並列接続して、1 個の EL 素子を駆動することで、EL 駆動 TFT の電流が平均化されるため、画素間の駆動電流のばらつきを低減でき、表示の均一性を向上させることが可能となる。また、1 個の EL 素子に対して、3 本のアノード電流供給配線電極から 3 個の EL 駆動 TFT を介して同時に電流を供給することから、アノード電流供給配線電極の断線や EL 駆動 TFT のオープン不良による表示欠陥に対して冗長性を有するため、製造歩留まりを向上できる効果もある。

【0018】〔実施の形態 2〕図 4 は、本発明の実施の形態 2 の表示装置の画素の等価回路を示す回路図であり、図 5 は、本発明の実施の形態 2 の表示装置の画素配置を示す平面図である。前述したように、本発明に係る自発光型表示装置では、各画素の EL 素子は異なる画素領域に設けた 3 つの EL 駆動 TFT によって駆動される。本実施の形態では、各々の EL 駆動 TFT を、当該画素とその左右両隣の画素内に配置したものである。図 4 は、TFT マトリックスの一部である走査信号配線電極（Gm, G(m+1)）と映像信号配線電極（D(n-1)~D(n+2)）、アノード電流供給配線電極（A(n-2)~A(n+1)）で囲まれた 3 個の画素領域を示している。m 行 n 列目の画素は、走査信号配線電極（Gm, G(m+1)）と、映像信号配線電極 Dn とアノード電流供給配線電極 An で囲

まれた領域で定義され、その内部には、スイッチ TFT（ $Qs(m,n)$ ）と、3 個の EL 駆動 TFT（ $Qd1(m,n)$, $Qd2(m,n)$, $Qd3(m,n)$ ）と、電荷蓄積容量 $Cst(m,n)$ が形成される。EL 駆動 TFT（ $Qd2(m,n)$ ）のドレイン電極には、EL 接続配線電極 15 を介して EL 素子 OLED(m,n) のアノード電極が接続されている。

【0019】m 行 n 列目の画素に属する EL 素子 OLED(m,n) は、当該画素内の EL 駆動 TFT（ $Qd2(m,n)$ ）だけでなく、隣接の m 行（n+1）列画素内に形成された EL 駆動 TFT（ $Qd3(m,n+1)$ ）、並びに、m 行（n-1）列画素内に形成された EL 駆動 TFT（ $Qd1(m,n-1)$ ）が並列に接続され、3 本のアノード電流供給配線電極（ $A(n-1)$, An , $A(n+1)$ ）から電流が供給されるように接続されている。前記並列に接続された 3 個の EL 駆動 TFT のゲート配線電極 14 は、全て、m 行 n 列目の画素のスイッチ TFT（ $Qs(m,n)$ ）のドレイン電極に接続配線電極 12 を介して接続されている。また、前記 3 個の EL 駆動 TFT のゲート電極ノードと、アノード電流供給配線電極 $A(n+1)$ の間に電荷蓄積容量 $Cst(m,n+1)$ が形成されており、前記ゲート配線電極 14 の電圧を一定期間保持できるようになっている。本実施の形態においても、各 EL 駆動 TFT（ $Qd1$, $Qd2$, $Qd3$ ）に供給される電流は、単一の EL 駆動 TFT により供給される電流とほぼ同じになるように、ゲート長、チャネル長さ、チャネル幅が設定されている。本実施の形態では、各 EL 駆動 TFT（ $Qd1(m,n)$, $Qd2(m,n)$, $Qd3(m,n)$ ）はダブルゲート構造であり、各々のゲート長を $10\mu m$ 、トータルチャネル長 $20\mu m$ 、チャネル幅を $4\mu m$ とした。

【0020】EL 駆動 TFT（ $Qd1(m,n-1)$ ）、および EL 駆動 TFT（ $Qd3(m,n+1)$ ）から、EL 素子 OLED(m,n) への電流供給は、各 EL 駆動 TFT のソース電極、ドレイン電極を構成する p+型半導体層をそのまま延長し配線として用いることにより行なわれる。このような構成とすることで、余分なコンタクトスルーホールの形成が不要となるので面積効率が改善され、結果として開口率が向上する。m 行 n 列目の画素に再度着目すると、3 個の EL 駆動 TFT（ $Qd1(m,n)$, $Qd2(m,n)$, $Qd3(m,n)$ ）の内、EL 駆動 TFT（ $Qd1(m,n)$ ）は、m 行（n+1）列目の画素の EL 素子 OLED(m,n+1) を駆動するために、また EL 駆動 TFT（ $Qd3(m,n)$ ）は、m 行（n-1）列目の画素の EL 素子 OLED(m,n-1) を駆動するために設けられている。また、電荷蓄積容量 $Cst(m,n)$ は、EL 駆動 TFT（ $Qd3(m,n)$ ）のゲート電極ノードの電位を保持するために設けられている。EL 素子は、前記 EL 接続配線電極 15 にコンタクトスルーホールを介して接続された ITO 電極（EL 素子のアノード電極）13 上に、有機絶縁膜 23 に設けた開口部を介して形成される。

【0021】本実施の形態2の表示装置のマトリクス表示部の等価回路と駆動回路を含めた表示部全体の回路図を図6に示す。図6に示すように、マトリクス表示部はG1~G600からなる600本の走査信号配線電極と、D1R~D800R、D1G~D800G、D1B~D800Bからなる2400本の映像信号配線電極と、A1R~A800R、A1G~A800G、A1B~、A800Bの2400本のアノード電流供給配線電極と、これらの交差する領域内に設けられた画素とから構成される。前記マトリクス表示部は、垂直走査回路VDRVと映像信号回路HDRVによって駆動され、各画素に配置されるアノード電流供給配線電極は、画素領域外で短絡され、外部電源に接続されている。本実施の形態では、EL駆動TFTを、当該画素と、その左右両隣に配置したため、最左端と最右端の画素列の両側にそれぞれ、ダミーの画素領域が設けられる。そして、最左端と最右端の画素列の両側に形成されたダミーの画素に対応する2つのアノード電流供給配線電極(A00, A01)も設けられる。このようにすることにより、左右両端の画素に対しても、3本のアノード電流供給配線電極から、3個のEL駆動TFTを介して規定の電流を供給することが可能となる。

【0022】このようにEL駆動TFTを、複数の画素領域に分散させて配置し、それらを並列接続して1個のEL素子を駆動することで、EL駆動TFTの電流が平均化されるため、画素間の駆動電流のばらつきを低減でき、表示の均一性を向上させることが可能となる。また、1個のEL素子に対して3本のアノード電流供給配線電極から3個のEL駆動TFTを介して同時に電流を供給することから、アノード電流供給配線電極の断線やEL駆動TFTのオープン不良による表示欠陥に対して冗長性を有するため、製造歩留まりを向上できる効果もある。本実施の形態では、並列させるEL駆動TFTの数を3とし、EL駆動TFTを当該画素とその左右両隣の画素内に配置した。前述の実施の形態と比較すると、両隣りのEL駆動TFT(Qd1(m,n-1))、およびEL駆動TFT(Qd3(m,n+1))から、EL素子OLED(m,n)へのp+型半導体層により構成される電流供給配線電極の長さをほぼ同じにできる。このことにより、アノード電流供給配線電極A(n-1)と、アノード電流供給配線電極A(n+1)からEL素子OLED(m,n)へ至る、EL駆動TFTおよびp+型半導体層による配線抵抗の和をほぼ同一にできる。p+型半導体層配線の抵抗は、通常、EL駆動TFTのオン抵抗に比べて低く設計されるため、p+型半導体層配線抵抗のアンバランスは重大な問題にはならないが、配線長が長くなると誤差に成り得る。本実施の形態のように、EL駆動TFTを両隣の画素内に配置することにより、p+型半導体層配線抵抗のアンバランスによる誤差を最小化することができる。

【0023】図7は、図5に示すX-X'切断線に沿って切断した断面構造を示す断面図である。図7に示すよ

うに、厚さ0.5mm、歪み温度約670℃の無アルカリガラス基板1の上に、50nmのバッファSi₃N₄膜200と、100nmのバッファSiO₂膜2が形成されている。これらバッファ絶縁膜(200, 2)は、ガラス基板1からのNa等の不純物の拡散を防止する役割を持つ。バッファSiO₂膜2上には、電荷蓄積容量Cst(m,n)に対応する膜厚50nmの多結晶Si(以下、poly-Siと称す。)膜30が形成され、前記poly-Si膜30上には、SiO₂からなるゲート絶縁膜20を介して、MoよりなるEL駆動TFTのゲート配線電極14が形成されている。前記EL駆動TFTのゲート配線電極14上には、SiO₂からなる層間絶縁膜21を介して、アノード電流供給配線電極Anが形成されており、このアノード電流供給配線電極Anは、Mo(110a)、Al(110b)、およびMo(110c)からなる3層構造の電極構造とされる。

【0024】ここで、図7に示すEL駆動TFTのゲート配線電極14は、図5に示すように、EL駆動TFT(Qd3(m,n))のゲート配線電極14が、アノード電流供給配線電極Anと重なるように、アノード電流供給配線電極Anの下側に延長された部分を示し、また、図7に示すpoly-Si膜30は、図5に示すように、アノード電流供給配線電極Anと重なるように形成され、かつ、poly-Si膜30は、コンタクトホール(図5のCH0)を介して、アノード電流供給配線電極Anと電気的に接続されている。したがって、本実施の形態において、電荷蓄積容量Cst(m,n)は、アノード電流供給配線電極Anとゲート配線電極14との間の層間絶縁膜21により形成される容量素子と、ゲート配線電極14とpoly-Si膜30との間のゲート絶縁膜20により形成される容量素子とで定義される。このように、電荷蓄積容量Cst(m,n)を、アノード電流供給配線電極Anの下側に形成することで、画素の開口率を向上させることが可能となる。また、前記アノード電流供給配線電極Anと同一層上には、映像信号配線電極(Dn, D(n+1))も形成されており、映像信号配線電極(Dn, D(n+1))も、Mo(11a)、Al(11b)、およびMo(11c)からなる3層構造の電極構造とされる。

【0025】これら全体は、膜厚200nmのSi₃N₄からなる保護絶縁膜22によって被覆され、その上にはインジウムスズ酸化物(ITO)よりなるアノード電極13が形成されている。さらに、前記アノード電極13上には、膜厚2μmのポリイミドを主成分とする有機絶縁膜23が形成され、アノード電極13のほぼ中央上で前記有機絶縁膜23に開口部が設けられている。前記アノード電極13、および有機絶縁膜23の上には、膜厚150nmのトリフェニルジアミン(TPD)からなる正孔輸送層300が形成され、さらにその上にはDCJTBとルブレンをドープした膜厚30nmのトリス

(8-ハイドロオキシキノリン) アルミニウム (Alq3) から構成される赤色 EL 発光層 301R と、膜厚 30nm の Alq3 からなる電子輸送層 (図示せず) が形成されている。電子輸送層の上層には、膜厚 0.8nm の LiF を介して膜厚 150nm の Al からなるカソード電極 302 が形成されている。発光はアノード電極 13 から注入される正孔と、カソード電極 302 から注入される電子が赤色 EL 発光層 301R 内で輻射再結合することで生じる。発生した光は、ガラス基板 1 側に放出される。これに隣接する画素には、青色 EL 発光層 301B および緑色 EL 発光層 301G が赤色 EL 発光層の代わりに形成された青色ドットと緑色ドットが配置されている。青色 EL 発光層 301B は、膜厚 15nm の BzVBi をドーブした DPVBi、緑色 EL 発光層 301G は、膜厚 30nm のクマリン 540 をドーブした Alq3 である。

【0026】図 8 は、図 5 に示す Y-Y' 切断線に沿って切断した断面構造を示す断面図であり、図 9 は、図 5 に示す Z-Z' 切断線に沿って切断した断面構造を示す断面図である。前述したように、無アルカリガラス基板 1 の上 50nm のバッファ Si₃N₄ 膜 200 と、100nm のバッファ SiO₂ 膜 2 が形成され、その上層にスイッチ TFT (Qs(m,n))、および EL 駆動 TFT (Qd2(m,n)) に対応する膜厚 50nm の poly-Si 膜 30 が形成され、前記 poly-Si 膜 30 上には、SiO₂ からなるゲート絶縁膜 20 を介して走査信号配線電極 Gm、および EL 駆動 TFT のゲート配線電極 14 が形成されている。ここで、走査信号配線電極 Gm は Mo で構成される。スイッチ TFT (Qs(m,n)) は N 型 TFT で構成され、そのソース電極には、層間絶縁膜 21 に開口したコンタクトスルーホールを介して、映像信号配線電極 Dn が接続され、また、ドレイン電極には、同じく接続配線電極 12 が接続されている。前述したように、映像信号配線電極 Dn は、Mo (11a)、Al (11b)、および Mo (11c) からなる 3 層構造の電極構造とされ、同様に、接続配線電極 12 も、Mo (12a)、Al (12b)、および Mo (12c) からなる 3 層構造の電極構造とされる。

【0027】接続配線電極 12 の他方は、やはり層間絶縁膜 21 に設けたスルーホールを介して、EL 駆動 TFT のゲート配線電極 14 に接続されており、映像信号配線電極 Dn の信号電圧がスイッチ TFT (Qs(m,n)) を介して、EL 駆動 TFT のゲート電極に印加される構成となっている。一方、EL 駆動 TFT (Qd2(m,n)) は、P 型 TFT で構成され、そのソース電極には、層間絶縁膜 21 に開口したコンタクトスルーホールを介して、アノード電流供給配線電極 An が接続されている。前述したように、アノード電流供給配線電極 An は、Mo (110a)、Al (110b)、および Mo (110c) からなる 3 層構造の電極構造とされる。E

L 駆動 TFT (Qd2(m,n)) のドレイン電極は、隣接する他の 2 つの EL 駆動 TFT (Qd1(m,n-1), Qd3(m,n+1)) のドレイン電極と共通化され、EL 接続配線電極 15 に接続されている。ここで、EL 接続配線電極 15 は、Mo (15a)、Al (15b)、および Mo (15c) からなる 3 層構造の電極構造とされる。また、EL 接続配線電極 15 には、膜厚 200nm の Si₃N₄ からなる保護絶縁膜 22 に設けたスルーホールを介してアノード電極 13 が接続されている。アノード電極 13 の上層には、前記の層構成を有する有機 LED が形成されている。

【0028】[実施の形態 3] 図 10 は、本発明の実施の形態 3 の表示装置の画素の等価回路を示す回路図であり、図 11 は、本発明の実施の形態 3 の表示装置の画素配置を示す平面図である。本実施の形態の自発光型表示装置では、m 行 n 列の EL 素子 OLED(m,n) の駆動を、m 行 n 列以外に、m 行 (n-2) 列、m 行 (n-1) 列、m 行 (n+1) 列、および、m 行 (n+2) 列の計 5 個の画素領域内に形成した 5 個の並列 EL 駆動 TFT により行う構成としたものである。並列数を 5 としたので、より平均化による均一性向上効果が大きく、より均一な表示特性を得ることが可能となる。

【0029】[実施の形態 4] 図 12 は、本発明の実施の形態 4 の表示装置の画素の等価回路を示す回路図であり、図 13 は、本発明の実施の形態 4 の表示装置の画素配置を示す平面図である。本実施の形態の自発光型表示装置では、m 行 n 列の EL 素子 OLED(m,n) の駆動を、m 行 n 列以外に、m 行 (n+1) 列、m 行 (n+2) 列、m 行 (n+3) 列、m 行 (n+4) 列、および、m 行 (n+5) 列の計 6 個の画素領域内に形成した 6 個の並列 EL 駆動 TFT により行う構成としたものである。並列数を 6 としたので、より平均化による均一性向上効果が大きく、より均一な表示特性を得ることが可能となる。また、本実施の形態においては、EL 素子からの発光は基板側ではなく、表面側へ取り出す構成を採った。本実施の形態のように、画素内の TFT 数が多くなると、発光に寄与する EL 素子の面積を確保することが困難になる。このような場合には、本実施の形態のような表面側へ光を取り出す構成が有利である。

【0030】図 14 は、図 13 に示す X-X' 切断線に沿った断面構造を示す断面図である。図 14 に示すように、厚さ 0.5mm、歪み温度約 670℃ の無アルカリガラス基板 1 の上に、50nm のバッファ Si₃N₄ 膜 200 と、100nm のバッファ SiO₂ 膜 2 が形成される。バッファ SiO₂ 膜 2 上には、電荷蓄積容量 Cst(m,n) に対応する膜厚 50nm の poly-Si 膜 30 が形成され、前記 poly-Si 膜 30 上には、SiO₂ からなるゲート絶縁膜 20 を介して、Mo よりなる EL 駆動 TFT のゲート配線電極 14 が形成されている。図 14 に示す EL 駆動 TFT のゲート配線電極 14

は、図13に示すように、EL駆動TFT (Qd3(m, n))のゲート配線電極14が、画素の下側に延長された部分を示し、また、図14に示すpoly-Si膜30は、図13に示すように、コンタクトホールを介して、アノード電流供給配線電極Anと電氣的に接続されている。前記EL駆動TFTのゲート配線電極14上には、SiO₂からなる層間絶縁膜21を介して、アノード電流供給配線電極Anが形成されている。このアノード電流供給配線電極Anは、Mo(110a)、Al(110b)、およびMo(110c)からなる3層構造の電極構造とされる。また、前記アノード電流供給配線電極Anと同一層上には、映像信号配線電極Dnと、反射膜17とが形成されている。映像信号配線電極Dnは、Mo(11a)、Al(11b)、およびMo(11c)からなる3層構造の電極構造とされる、反射膜17も、Mo/Al/Moの3層構造の電極構造とされる。

【0031】反射膜17は、膜厚200nmのSi₃N₄からなる保護絶縁膜22に設けられたスルーホール(図13のCH1, CH2)を介してアノード電極13に接続されている。この反射膜17は、例えば、m行n列の画素内における、スイッチTFT、およびEL駆動TFT(Qd1(m, n))が形成される領域を除いた領域に形成される。反射膜17は、EL素子からの発光を表面側に反射する役目を有するとともに、EL駆動TFT(Qd3(m, n))がオンのときに、poly-Si膜30との間で、電荷蓄積容量Cst(m, n)の一部を構成する。したがって、本実施の形態において、電荷蓄積容量Cst(m, n)は、ゲート配線電極14とpoly-Si膜30との間のゲート絶縁膜20により形成される容量素子と、反射膜17とpoly-Si膜30との間の層間絶縁膜21により形成される容量素子とで定義される。これら全体は、膜厚200nmのSi₃N₄からなる保護絶縁膜22によって被覆され、その上には、インジウム-スズ酸化物(ITO)よりなるアノード電極13が形成されている。さらに、前記アノード電極13上には膜厚2μmのポリイミドを主成分とする有機絶縁膜23が形成され、アノード電極13のほぼ中央上で前記有機絶縁膜23に開口部が設けられている。前記アノード電極13、および有機絶縁膜23の上には、膜厚150nmのトリフェニルジアミン(TPD)からなる正孔輸送層300が形成され、さらにその上にはDCJTbとルブレンをドープした膜厚30nmのトリス(8-ハイドロオキシキノリン)アルミニウム(Alq3)から構成される赤色EL発光層301Rと、膜厚30nmのAlq3からなる電子輸送層(図示せず)が形成されている。

【0032】電子輸送層の上層には、膜厚0.8nmのLiFを介して、膜厚7nmの2,9-ジメチル-4,7-ジフェニル-1,10-フェナントロリン(BCP)と膜厚77nmのITOが形成され、透明なカソード電

極302を構成している。発光は、アノード電極13から注入される正孔と、カソード電極302から注入される電子が、赤色EL発光層301R内で輻射再結合することで生じる。発生した光は透明なカソード電極側に放出される。これに隣接する画素には、青色EL発光層301Bおよび緑色EL発光層301Gが赤色EL発光層の代わりに形成された青色ドットと緑色ドットが配置されている。青色EL発光層は、膜厚15nmのBCzVBiをドープしたDPVBi、緑色EL発光層は、膜厚30nmのクマリン540をドープしたAlq3である。図15は、並列化するEL駆動TFTの数Nと、画素間の輝度のばらつきの関係を示すグラフである。図15のグラフから分かるように、輝度ばらつきは、N=3のときに、N=1の場合の約1/2まで低減できることがわかる。理論的には、並列数Nに対し、ばらつきの程度は√Nに反比例して小さくなることが予測される。図15のグラフによれば、ほぼ理論予測どおりのばらつき低減効果が得られている。

【0033】[実施の形態5]以下、本発明の実施の形態5として、図16~図18を用いて、本発明の表示装置の全体構成を説明する。ガラス基板1上にはTFTにより構成されたアクティブマトリクスAMXと垂直走査回路VDRV、映像信号回路HDRVが形成される。EL素子OLEDのカソード電極302は、コンタクトエリア400において、コンタクトホールを介して、ガラス基板1上に形成された引き出し配線401に接続され外部接続端子PADに接続される。また、画素内各列に設けたアノード電流供給配線電極Aは、画素領域外で全て接続され、引き出し電極402により外部接続端子PADに接続されている。本実施の形態では、コンタクトエリア400をアクティブマトリクスAMXと外部接続端子PADの間に配置し、映像信号回路HDRVは、アクティブマトリクスAMXを挟んで外部接続端子PADとは反対側に配置した点に特徴がある。このように配置することにより、外部接続端子PADからコンタクトエリア400までの引き出し配線401を短くできるので、この引き出し配線の抵抗による電圧降下と電力消費を最小化できる。カソード電極302の引き出し配線には、全画素のEL素子OLEDからの電流が流れるため、引き出し配線の低抵抗化は重要である。一方、映像信号回路HDRVへの電源配線、グランド配線に流れる電流は、EL素子OLEDの電流に比べ小さいため、この配線長が多少長くなっても大きな問題にはならない。

【0034】図17は、図16に示す表示装置全体を示す分解斜視図である。EL素子OLEDのカソード電極302が形成されたガラス基板1上には、封止ガラス600がシールSHLにより取り付けられ、EL素子OLEDが外気に曝されないようになっている。シールSHLには、紫外線硬化型の樹脂に、10μm径のファイバーガラスを分散させたものを使用した。封止ガラスと、

ガラス基板 1 の外形は、外部接続端子 PAD が引き出されている辺以外の 3 辺でほぼ一致しており、パネル全体の外形寸法を最小化している。図 18 は、図 16 に示す表示装置の断面構造を示す断面図である。封止ガラス 600 の内部には、外部から進入する水分や、EL 素子 OLED を構成する材料等から放出されるガスを吸着するための化学、吸着材 602 が、封止ガラス 600 に設けた凸部にテープ 601 によって保持されている。化学吸着材としては、酸化カルシウム (CaO) を用いた。また、封止ガラス 600 の内部の空洞内には、露天 -78℃ まで水分を除去した乾燥 N₂ ガスが封止されている。

【0035】〔実施の形態 6〕以下、本発明の実施の形態 6 として、図 19～図 27 を用いて、本発明の実施の形態 2 の表示装置のアクティブマトリクス基板の製造工程を説明する。初めに、厚さ 500 μm、幅 750 mm、幅 950 mm の歪点約 670℃ の無アルカリガラス基板 1 上を洗浄後、SiH₄ と NH₃ と N₂ の混合ガスを用いたプラズマ CVD 法により、膜厚 50 nm の Si₃N₄ 膜 200 を形成する。続いて、テトラエトキシシランと O₂ の混合ガスを用いたプラズマ CVD 法により、膜厚 120 nm の SiO₂ 膜 2 を形成する。なお、Si₃N₄、SiO₂ とともに形成温度は 400℃ である。次に、SiO₂ 膜 2 上に、SiH₄、Ar の混合ガスを用いたプラズマ CVD 法により、ほぼ真性の水素化非晶質シリコン膜 35 を 50 nm 形成する。成膜温度は 400℃ で、成膜直後水素量は約 5 at% であった。次に、基板を 450℃ で約 30 分アニールすることにより、水素化非晶質シリコン膜 35 中の水素を放出させる。次に、テトラエトキシシランと O₂ の混合ガスを用いたプラズマ CVD 法により、膜厚 100 nm の SiO₂ 膜 201 を形成し、次に、イオン注入法によりボロン (B⁺) を加速電圧 40 KeV、ドーズ量 5×10^{12} (atoms/cm²) で注入する。ボロンは、TFT のしきい値電圧を調整するためのものである。(図 19 参照)

【0036】次に、緩衝フッ酸により SiO₂ 膜 201 を除去し、短辺 0.3 mm、長辺 300 mm のストライプ形状に加工した波長 308 nm のパルスエキシマレーザ光 LASER を、短辺方向に 10 μm ピッチで移動しながら照射することにより、前記非晶質シリコン膜 35 に、フルエンス 450 mJ/cm² で照射し、非晶質シリコン膜 35 を熔融再結晶化させて、P 型の多結晶シリコン膜 30 を得る。(図 20 参照) この時、レーザビームスキャン方向での多結晶シリコンの結晶品質ばらつきに起因する TFT 特性のばらつきが、ビームスキャン方向と垂直方向でのばらつきよりも一般に大きくなる傾向がある。このため、複数の EL 駆動 TFT を、レーザビームスキャン方向に並行に配列することで、より大きな効果を得られる。図 3 あるいは図 6 に矢印で図示したレーザスキャン方向とは、このことを示しており、複数の

EL 駆動 TFT をレーザスキャン方向と略平行に配列するものである。図 10、図 12 に図示した実施の形態においても同様である。次に、CF₄ を用いたリアクティブイオンエッチング法により、P 型の多結晶シリコン膜 30 を所定の形状に加工し、TFT と、TFT 以外の配線パターン (多結晶シリコン膜 30) を得る。次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマ CVD 法により、膜厚 100 nm の SiO₂ を形成しゲート絶縁膜 20 を形成する。

【0037】次に、スパッタリング法により、Mo 膜を 200 nm 形成後、通常のホテルソグラフィ法により所定のレジストパターン PR を Mo 膜上に形成し、CF₄ を用いたリアクティブイオンエッチング法により、Mo 膜を所定の形状に加工し N 型 TFT のゲート電極 10N を得る。次に、エッチングに用いたレジストパターン PR を残したまま、イオン注入法により、リン (P) イオンを加速電圧 60 KV、ドーズ量 10^{15} (atoms/cm²) で打ちこみ、N 型 TFT のソース電極、ドレイン電極領域を形成する。(図 21 の右側、中央部参照)

この時、P 型 TFT は、素子全体を Mo 膜とホテルレジスト膜 PR のパターンで保護し、リンイオンが注入されないようにする。(図 21 の左側参照)

次に、レジストパターンを残したまま、基板を混酸で処理し、加工された Mo 電極をサイドエッチングレパターンをスリミングし、レジストを除去した後、イオン注入法により、P イオンを加速電圧 65 KV、ドーズ量 2×10^{13} (atoms/cm²) で打ちこみ、N 型 TFT の LDD 領域を形成する。LDD 領域の長さは混酸によるサイドエッチング時間によって制御される。(図 22 参照)

【0038】次に、所定のレジストパターンを Mo 膜上に形成し、CF₄ を用いたリアクティブイオンエッチング法により、P 型 TFT のゲート電極 10P および TFT 上以外の配線パターン (ゲート配線電極 14) を得る。P 型 TFT のゲート電極 10P をマスクとして、ボロンイオンを、加速電圧 40 kV、ドーズ量 10^{15} (atoms/cm²) で注入し、P 型 TFT のソース電極、ドレイン電極領域を形成する。この時、N 型 TFT は、全体をホテルレジストパターン PR で保護し、エッチングガスから保護するとともに、ボロンイオンが注入されないようにする。(図 23 参照)

ホテルレジストを除去した後、基板に、エキシマランプまたはメタルハライドランプの光 UV を照射し、ラビッドサーマルアニール (RTA) 法により打ち込んだ不純物を活性化する。(図 24 参照)

次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマ CVD 法により、膜厚 500 nm の SiO₂ を形成し層間絶縁膜 21 を形成する。所定のレジストパターンを形成後、混酸を用いたウェットエッチング法によ

り、前記層間絶縁膜 21 にコンタクトスルーホールを開孔する。

【0039】続いて、スパッタリング法により、Mo を 50 nm、Al-Nd 合金を 500 nm、Mo を 50 nm、順次積層形成した後、所定のレジストパターンを形成後、BCl₃ と Cl₂ の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、映像信号配線電極 D、アノード電流供給配線電極 A、接続配線電極 12 および EL 接続配線電極 15 を作成する。(図 25 参照)

次に、SiH₄ と NH₃ と N₂ の混合ガスを用いたプラズマ CVD 法により、膜厚 400 nm の Si₃N₄ 膜を形成し保護絶縁膜 22 とする。所定のホトレジストレジストパターンを形成後、SF₆ を用いたドライエッチング法により、前記保護絶縁膜 22 にコンタクトスルーホールを開孔する。続いて、スパッタリング法により、ITO 膜を 70 nm 形成し、混酸を用いたウェットエッチングにより所定の形状に加工して、EL 素子 OLED のアノード電極 13 を作成する。(図 26 参照)

最後に、スピン塗布法により感光性ポリイミド樹脂を約 3.5 μm の膜厚で塗布し、所定のマスクを用いて露光、現像して、アノード電極上の EL 素子 OLED が形成される部分のポリイミド樹脂を除去後、350℃で 30 分ベークすることで、ポリイミド樹脂を焼成し、膜厚 2.3 μm の有機絶縁膜 23 を作成する。(図 27 参照)

【0040】この有機絶縁膜 23 は、アノード電極 13 の端部を被覆することで、アノード電極上に、EL 素子 OLED を構成する超薄膜の有機膜が形成された際に、ITO 電極端部での電界集中による EL 素子 OLED の破壊を防止するために形成する。前記工程により作製されたアクティブマトリクス基板上に EL 素子を形成する工程を以下説明する。アクティブマトリクス基板を真空蒸着装置にセットし、まず、予備加熱室に導入し、真空中 200℃で 1 時間ベークし、基板表面に吸着した水分や有機絶縁膜 23 に含まれる水分を除去する。次に、酸素を含む雰囲気中で紫外光を 60 mW/cm² の強度で 60 秒照射しアノード電極表面の有機物を除去する。次に、アクティブマトリクス基板を前処理室に移動し、O₂ プラズマ処理することにより、アノード電極表面の仕事関数を整える。処理条件は RF パワー 200 W で 60 秒である。この処理により、アノード電極 13 である ITO の仕事関数を 5.1~5.2 eV に調整し、正孔輸送材料へ正孔が注入される際のバリア高さを低下させ、注入効率を向上させることができる。

【0041】次に、アクティブマトリクス基板を第 1 の蒸着室に移動し、正孔輸送層を表示部の全面に形成されるようなマスクを用いてマスク蒸着する。正孔輸送層の材料としては、トリフェニルジアミン (TPD) を用いる、この他に、例えば、α-NPD などを用いる事もで

きる。正孔輸送層の膜厚は 150 nm である。次に、アクティブマトリクス基板を第 2 の蒸着室に移動し、RGB 各々の発光材料をマスク蒸着する。各発光材料の成膜は、まず、青色を表示すべきドットと蒸着マスクの開口部を位置合わせしたあと、青色材料を形成し、次に、蒸着室内で蒸着マスクを 1 ドットのピッチ分だけシフトさせ、緑色材料を蒸着、更に、同様に蒸着マスクを移動して赤色材料を蒸着することにより、RGB それぞれのドット位置に所定の材料を形成する。次に、アクティブマトリクス基板を第 3 の蒸着室に移動し、カソード電極 302 を形成する。

【0042】カソード電極 302 は、有機層に対して電子の注入効率を向上させるために、0.8 nm 程度の膜厚で LiF を形成後、Al を 150 nm 形成する。次に、アクティブマトリクス基板を封止室に移動し、予めアクティブマトリクス基板と同様にベークして脱水処理しておいた封止ガラスを、紫外線硬化樹脂を挟んで接着し、アクティブマトリクス基板背面から紫外光を照射して樹脂を硬化させる。この際に、封止ガラスの空隙部には化学吸着剤を挿入しておく。アクティブマトリクス基板をセットしてから、ここまでの工程は、全てアクティブマトリクス基板を大気に曝さないように行うことが必要である。最後に、封止ガラスを接着したアクティブマトリクス基板を取り出し、所定の大きさに切り出し、ドライバ LSI を実装して、パネルは完成する。以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0043】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明の自発光型表示装置によれば、ムラのない均一な表示画面を得ることが可能となる。

(2) 本発明の自発光型表示装置によれば、カソード電極の引き出し配線の抵抗による電圧降下と消費電力を低減することが可能となる。

【図面の簡単な説明】

【図 1】本発明の実施の形態 1 の表示装置の画素の等価回路を示す回路図である。

【図 2】本発明の実施の形態 1 の表示装置の画素配置を示す平面図である。

【図 3】本発明の実施の形態 1 の表示装置のマトリクス表示部の等価回路と、駆動回路を含めた表示部全体の回路構成を示す回路図である。

【図 4】本発明の実施の形態 2 の表示装置の画素の等価回路を示す回路図である。

【図 5】本発明の実施の形態 2 の表示装置の画素配置を示す平面図である。

【図 6】本発明の実施の形態 2 の表示装置のマトリクス表示部の等価回路と、駆動回路を含めた表示部全体の回路構成を示す回路図である。

【図 7】図 5 に示す X-X' 切断線に沿って切断した断面構造を示す断面図である。

【図 8】図 5 に示す Y-Y' 切断線に沿って切断した断面構造を示す断面図である。

【図 9】図 5 に示す Z-Z' 切断線に沿って切断した断面構造を示す断面図である。

【図 10】本発明の実施の形態 3 の表示装置の画素の等価回路を示す回路図である。

【図 11】本発明の実施の形態 3 の表示装置の画素配置を示す平面図である。

【図 12】本発明の実施の形態 4 の表示装置の画素の等価回路を示す回路図である。

【図 13】本発明の実施の形態 4 の表示装置の画素配置を示す平面図である。

【図 14】図 13 に示す X-X' 切断線に沿った断面構造を示す断面図である。

【図 15】並列化する有機エレクトロルミネッセンス素子駆動用の薄膜トランジスタの数 N と、画素間の輝度のばらつき関係を示すグラフである。

【図 16】本発明の各実施の形態の表示装置の全体構成を示す平面図である。

【図 17】本発明の各実施の形態の表示装置の全体構成を示す分解斜視図である。

【図 18】本発明の各実施の形態の表示装置の断面構造を示す要部断面図である。

【図 19】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 20】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 21】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 22】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 23】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 24】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 25】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 26】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【図 27】本発明の実施の形態 2 の表示装置の製造工程を説明するための図である。

【符号の説明】

1…ガラス基板、2…SiO₂ バッファ膜、10P…P 型 TFT のゲート電極、10N…N 型 TFT のゲート電極、11a, 11c, 12a, 12c, 15a, 15c, 110a, 110c…Mo、11b, 12b, 15b, 110b…Al、12…接続配線電極、13…アノード電極、14…ゲート配線電極、15…EL 接続配線電極、17…反射膜、20…ゲート絶縁膜、21…層間絶縁膜、22…保護絶縁膜、23…有機絶縁膜、30…多結晶シリコン膜、35…水素化非晶質シリコン膜、200…Si₃N₄ バッファ膜、300…正孔輸送層、301R…赤色 EL 発光層、301G…緑色 EL 発光層、301B…青色 EL 発光層、302…カソード電極、400…コンタクト領域、401…カソード引き出し配線、402…アノード電流供給配線電極引き出し電極、600…封止ガラス、601…テープ、602…化学吸着材 (CaO)、A…アノード電流供給配線電極、D…映像信号配線電極、G…走査信号配線電極、Qs…スイッチ用薄膜トランジスタ、Qd…駆動用薄膜トランジスタ、Cst…電荷蓄積容量、OLED…有機エレクトロルミネッセンス素子、PAD…外部接続端子、AMX…TFT アクティブマトリクス、VDRV…垂直走査回路、HDRV…映像信号回路、SHL…シール、PR…ホトレジスト、LASER…エキシマレーザ光、UV…紫外ランプ光。

【図 18】

図 18

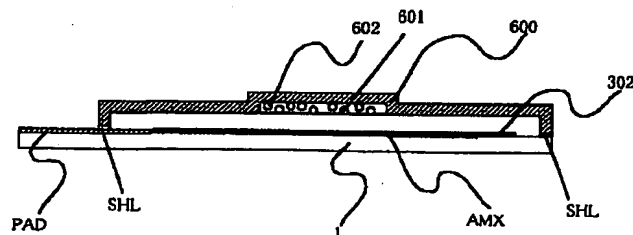
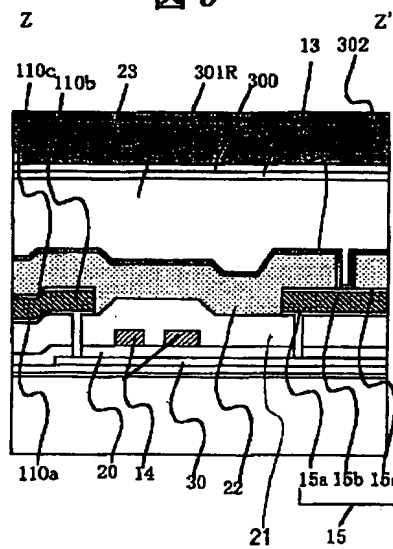
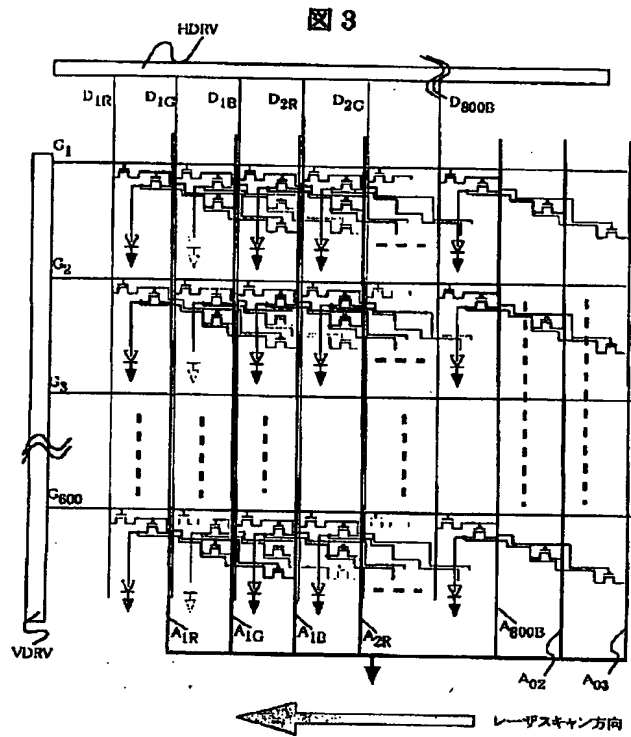


圖 1

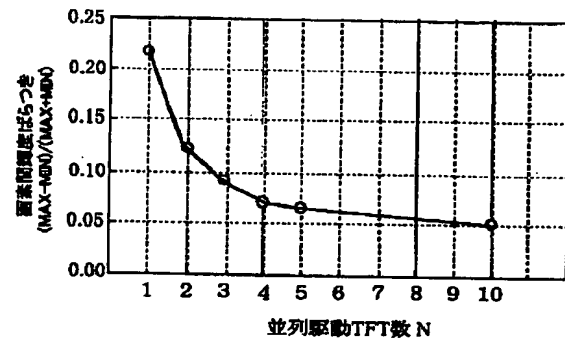


【図3】



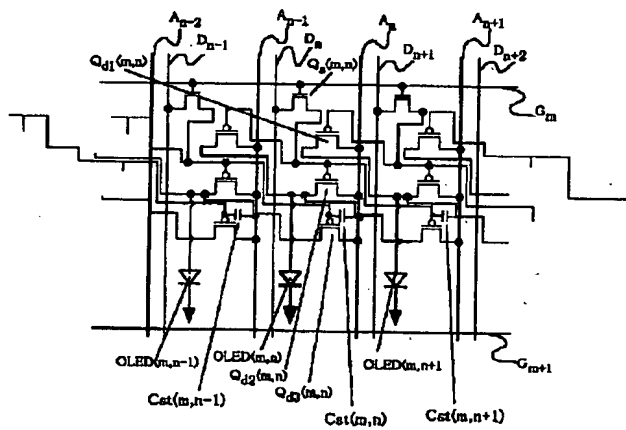
【図15】

図15



【図4】

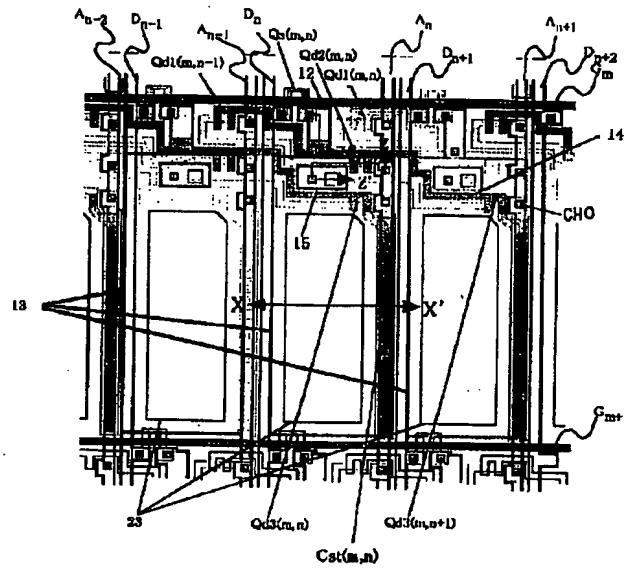
図4



【図 5】

図 5

BEST AVAILABLE COPY



【図 6】

図 6

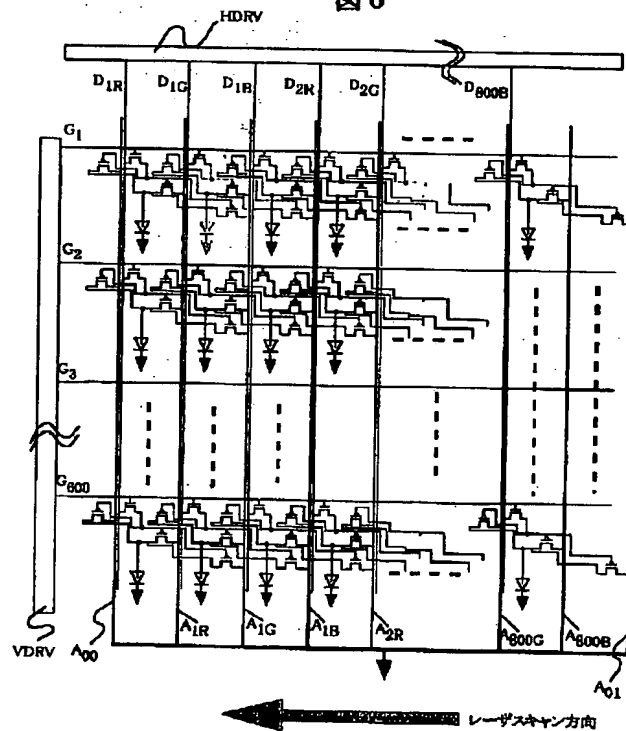
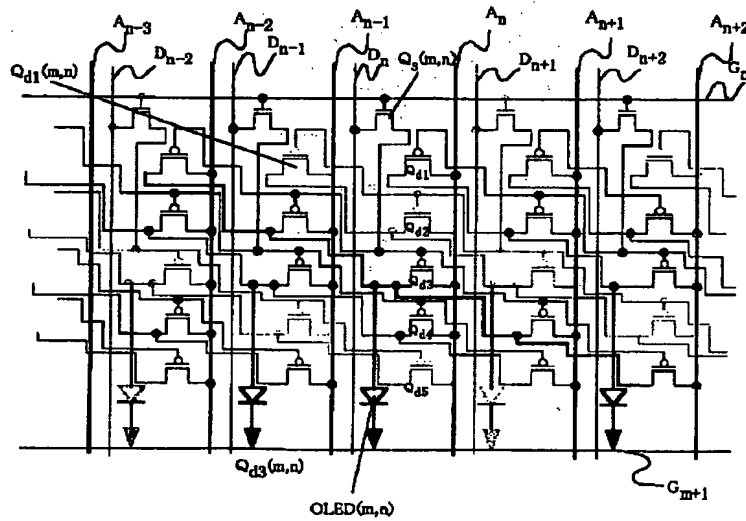
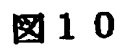
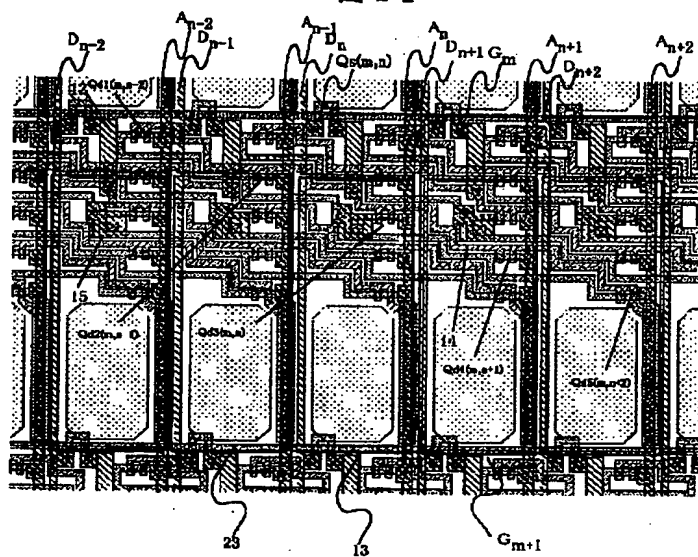


图 7



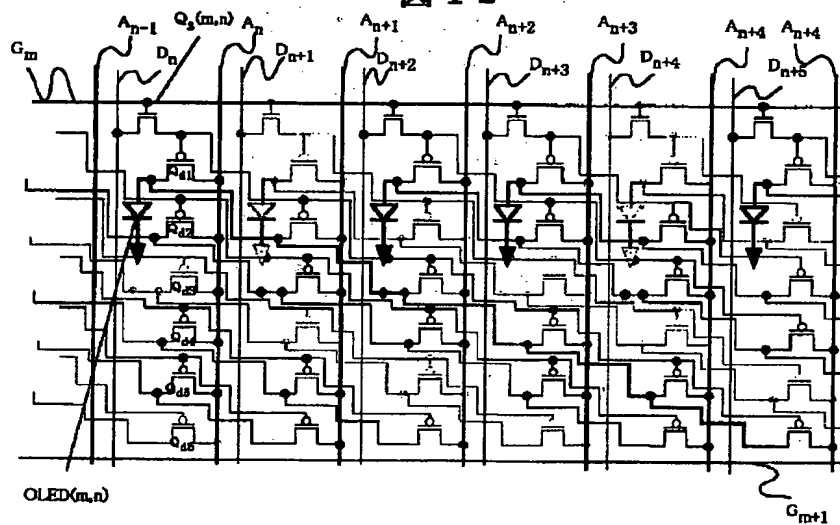
【図11】

図11



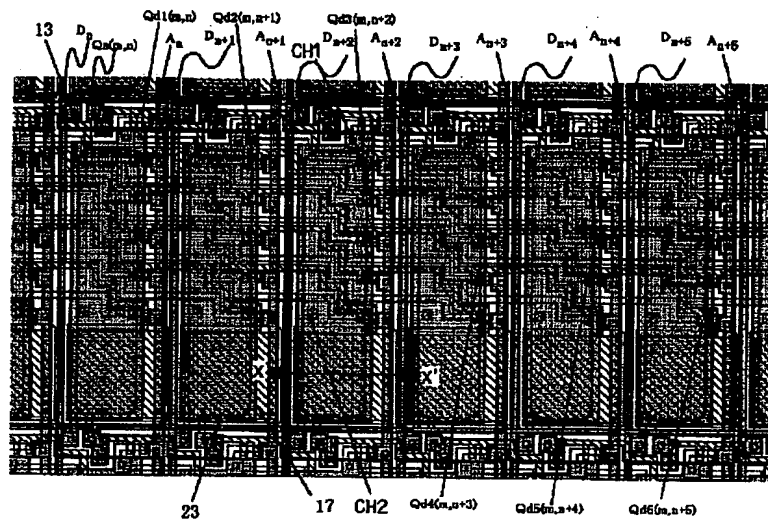
【図12】

図12



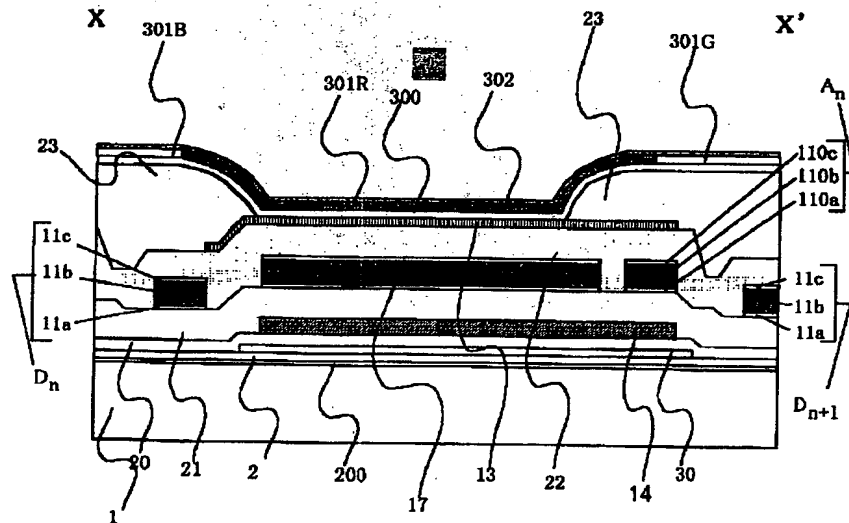
【図 13】

図 13



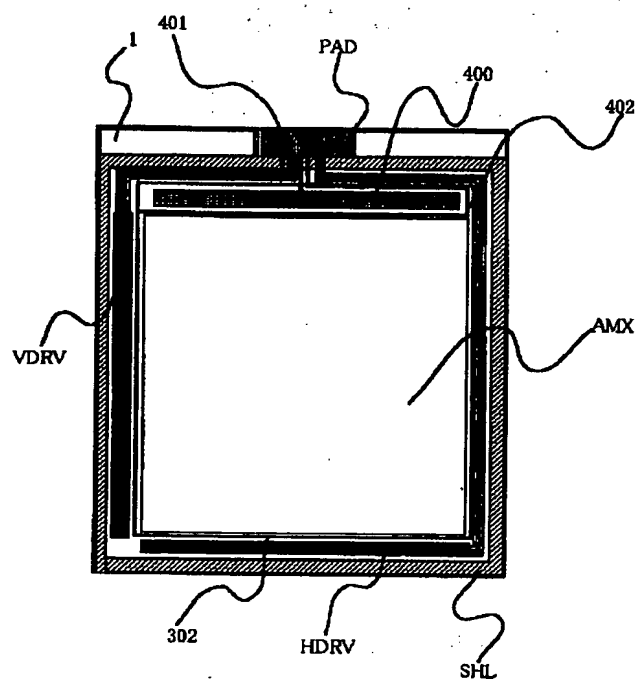
【図 14】

図 14



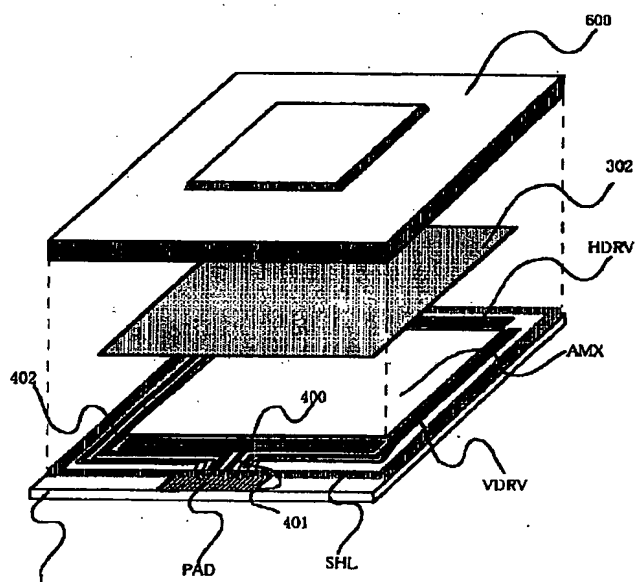
【図 16】

図 16



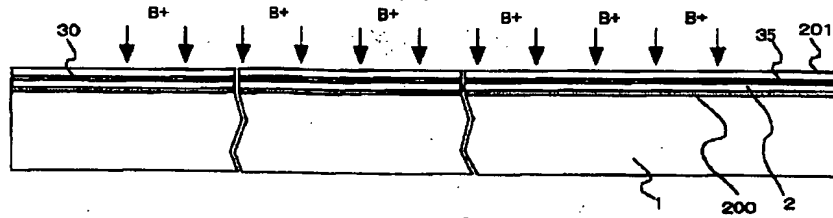
【図 17】

図 17



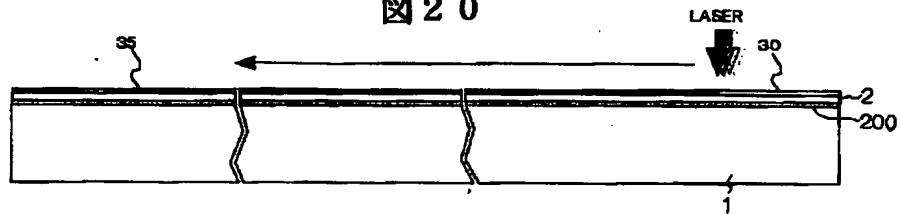
【図 19】

図 19



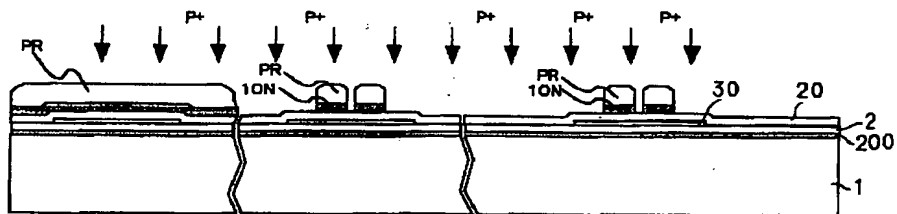
【図 20】

図 20



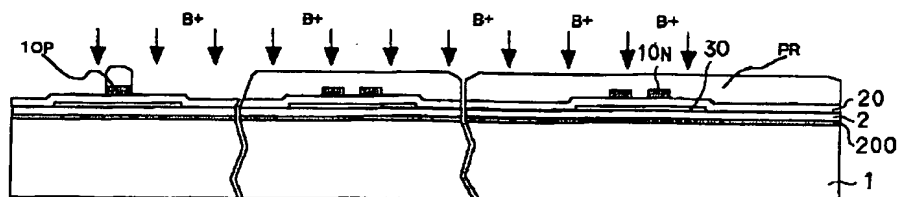
【図 21】

図 21



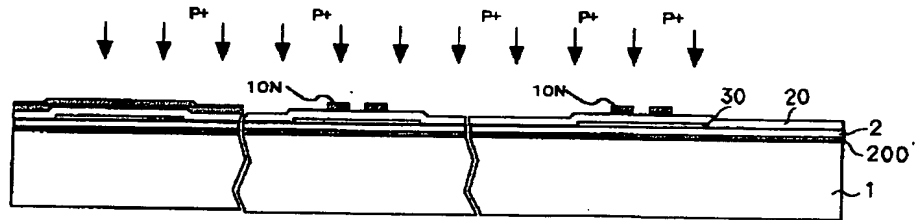
【図 23】

図 23



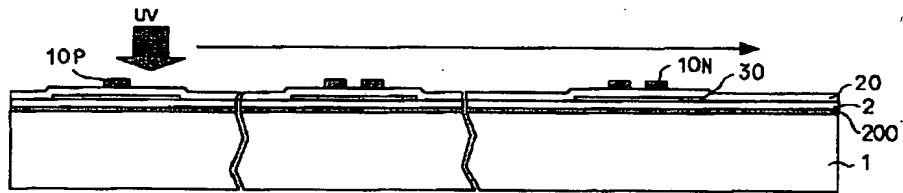
【図 22】

図 22



【図 24】

図 24



【図 25】

図 25

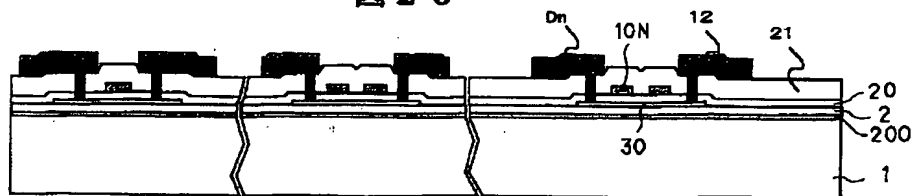
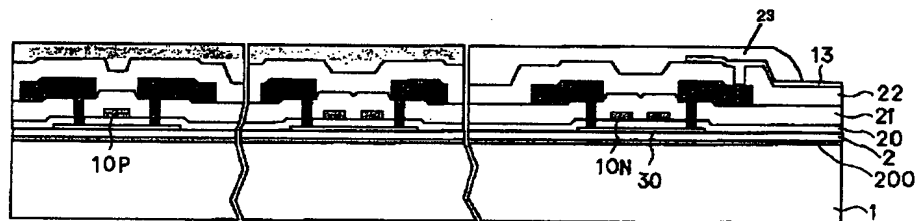
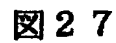


圖 2 6



(51)Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 D
	6 4 2		6 4 2 A
3/30		3/30	J
H 0 1 L 21/20		H 0 1 L 21/20	
21/336		H 0 5 B 33/14	A
29/786		H 0 1 L 29/78	6 1 4
H 0 5 B 33/14			6 2 7 G

(72)発明者 西谷 茂之
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

(72)発明者 徳田 尚紀
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム (参考) 3K007 AB11 GA00
5C080 AA06 BB05 DD05 EE29 FF11
JJ02 JJ03 JJ06
5C094 AA03 AA21 AA22 AA42 BA02
BA27 CA19 CA24 CA25 DA09
EA01 EA04 FB01 HA08 HA10
JA20
5F052 AA02 BA07 BB07 DA02 DB03
EA15 JA01
5F110 AA30 BB02 BB04 CC02 DD02
DD07 DD13 DD14 DD17 EE04
EE28 EE44 FF02 FF30 GG02
GG13 GG28 GG29 GG32 GG45
GG52 HJ01 HJ13 HJ23 HL03
HLO4 HLO6 HL12 HL23 HM15
NNO3 NNO4 NN23 NN24 NN27
NN71 NN73 NN77 PPO4 PPO5
PPO6 PP35

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.